

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Japanese Patent Office (JP)

(12) Official Gazette for Unexamined Patents (A)

(11) Kokai Patent No. 62(1987)-21323

(43) Kokai Publication Date: January 29, 1987

(51) Int. Cl.⁴: Identification Patent Office File Nos.:
Symbols:

H 03 K 19/08 A - 8326-5J
G 11 C 11/34 7230-5B
H 03 K 17/60 Z - 7105-5J

Number of Inventions: 2 Request for Examination: Not Requested

(Total of 14 Pages)

(54) Semiconductor Device

(21) Patent Application No. 60(1985)-161,467

(22) Filing Date: July 22, 1985

(72) Inventors: Takaō Watanabe
Hitachi, Ltd., Central Research Laboratory, 280, Higashi
Koigakubo 1 chome, Kokubutera-shi

Goro Kitsukawa
Hitachi, Ltd., Central Research Laboratory, 280, Higashi
Koigakubo 1 chome, Kokubutera-shi

Takaichi Hori
Hitachi, Ltd., Central Research Laboratory, 280, Higashi
Koigakubo 1 chome, Kokubudter-a-shi

Sumio Ito
Hitachi, Ltd., Central Research Laboratory, 280, Higashi
Koigakubo 1 chome, Kokubudter-a-shi

(71) Applicant: Hitachi, Ltd.
6, Kanda Surugadai 4 chome, Chiyoda-ku, Tokyo-to

(74) Agent: Masayoshi Isomura, Patent Attorney

AQ2

Specification

1. Title of the Invention

Semiconductor Device

2. Scope of Patent Claim

(1) A semiconductor device, which is characterized in that it is made from a circuit, which is controlled by a pre-stage circuit and comprises at least one bipolar transistor and at least one insulated-gate field-effect transistor, and in that said circuit is actuated using as the reference at least one voltage, and at least one of the voltages of those voltages that are used as said reference is different from the reference voltage that actuates the pre-stage circuit that controls said circuit.

(2) A semiconductor device, characterized in that it is controlled by a pre-stage circuit and in that it comprises a means for raising the output voltage that consists of an N channel field effect transistor and a P channel field-effect transistor, which are connected vertically, and a bipolar transistor, wherein the vertical connection is connected to the base, as well as a means for lowering the output voltage that consists of an N channel field effect transistor or a vertically connected field-effect transistor and a bipolar transistor wherein the vertical connection is connected to the base, or a parallel connection of these [transistors].

(3) The semiconductor device according to claim 2, further characterized in that said means for raising the output voltage connects a reference voltage to the source of the P channel field-effect transistor and a voltage that is different than said reference voltage is connected to the collector of the bipolar transistor.

(4) The semiconductor device according to claim 2, further characterized in that said means for raising the output voltage connects control signals from the pre-stage circuit to one gate of the field-effect transistors that have been connected vertically through the drain-source of the field-effect transistors, and to the other gate through the field-effect transistor circuit, as well as [through] the means for lowering the output.

(5) The semiconductor device according to claim 4, further characterized in that said means for raising the output potential applies a reference voltage to one gate of the field-effect transistors that have been connected vertically, and applies voltage that is different from said reference voltage to the drain of said field-effect transistor and the collector of the bipolar transistor whose base has been connected to the vertical connection.

3. Detailed Description of the Invention

[Field of Application of the Invention]

The present invention pertains to a semiconductor device and in particular, to a circuit that uses a bipolar transistor and an insulated-gate field-effect transistor (MIS transistor hereafter), which is ideal for obtaining a strong drive performance and a large output amplitude.

[Prior Art]

The semiconductor device in Japanese Kokai Patent No. 59[1984]-25423 is a conventional circuit that uses bipolar transistors and MIS transistors.

Figure 17 is the structural diagram of the above-mentioned semiconductor device. Actuation and problem points of this circuit will be described with Figure 17. The combined circuit of a CMOS (complementary MOS) and a bipolar transistor 7 and the combined circuit of an MIS transistor 6 and a bipolar transistor 8 are connected vertically. In the description that follows, the voltage V_{SS} of the negative power source is 0 V. When the potential of input terminal 1 is 0 V, the p channel MIS transistor 4 turns on, current flows to the base of bipolar transistor 7, and this bipolar transistor 7 turns on. On the other hand, the base potential is 0 V and therefore, bipolar transistor 8 does not turn on. As a result, current flows to output terminal 2 and the potential of this output terminal 2 rises. The potential of output terminal 2 is eventually brought to the value obtained by subtracting voltage V_{BE} in the forward direction between the base and emitter of transistor 7 from voltage V_{CC} of a positive power source. Thus, by means of the conventional circuit in Figure 17, the potential of output terminal 2 cannot be raised to voltage V_{CC} of the positive power source.

Moreover, in addition to the above-mentioned circuit, the drive circuit in Japanese Patent No. 59[1984]-8431 is semiconductor device consisting of a combined circuit of an MIS transistor and bipolar transistor.

Figure 18 is a drawing showing the structure of the above-mentioned semiconductor device. By means of the circuit in Figure 18, an inverted

combined circuit of a CMOS circuit and a bipolar transistor is connected in parallel between input-output terminals. In contrast to the fact that inverted input signals are output by the above-mentioned circuit in Figure 17, positive signals of the same phase as the input are output by the circuit in Figure 18. That is, when input terminal 10 is brought to a high level, MIS transistor 13 turns on, current flows to the base of bipolar transistor 17, and this bipolar transistor 17 turns on. On the other hand, P channel MIS transistor 15 is OFF and N channel MIS transistor 16 turns on and therefore, the base potential of bipolar transistor 18 becomes 0 V and this bipolar transistor turns off. As a result, current flows to output terminal 11 and the potential of this output terminal 11 rises. In this case, the potential of this output terminal 11 rises to the value $V_{cc} - V_T - V_{BE}$, which is obtained by subtracting the threshold voltage V_T of N channel MIS transistor 13 and the forward voltage V_{BE} between the base and emitter of bipolar transistor 17 from the positive power source V_{cc} . Thus, the output level of the circuit in Figure 18 is lower than the output level of Figure 17.

It is not possible to raise the output voltage sufficiently with the above-mentioned type of conventional circuit. When the output voltage is low, the actuation of the next stage of the circuit is delayed and when the LSI is viewed as a whole, high-speed bipolar transistors cannot be utilized to their fullest extent. This problem will become increasingly obvious in the future when device refinement and reduced power source voltage become necessary. Consequently, there is a need for a circuit that uses strong drive performance of bipolar transistors and produces a sufficiently high output level.

[Object of the Invention]

The object of the present invention is to improve on these conventional problems and to present a semiconductor device that uses the strong drive performance of bipolar transistors and with which it is possible to obtain a sufficiently high output level.

[Summary of the Invention]

In order to accomplish the above-mentioned object, the semiconductor device of the present invention is controlled by a pre-stage circuit and is made from a circuit comprising at least one bipolar transistor and at least one insulated-gate field-effect transistor. This circuit is actuated with at least one voltage as the reference, and at least one of the voltages that are used as the above-mentioned reference is different than the reference voltage that actuates the pre-stage circuit that controls the above-mentioned circuit. Thus, it is possible to obtain a strong drive performance and a large output amplitude.

[Examples of the Invention]

Examples of the present invention will now be described in detail by means of the drawings.

Figure 1 is an example that describes the concept behind the semiconductor device of the present invention. Figure 1 is an example of the case of a circuit with one input and one output. D in Figure 1 is a combined circuit comprising a bipolar transistor and an MIS transistor, C is the pre-stage circuit that controls circuit D, A is the terminal that applies the voltage that becomes the reference for the actuation of circuit C, and B₁ through B_n are the terminals that

apply the voltage that becomes the reference for the actuation of circuit D.

Moreover, E is the input terminal of circuit C and G is the output terminal of circuit D. Connection line F is the signal line for transmitting signals that control circuit D from circuit C.

By means of the present invention, at least one of the voltages that are applied to B_1 through B_n is made higher than the voltage that is applied to terminal A and as a result, the level of the signals that are output to terminal G is higher than the level of the signals that are output via signal line F to circuit D. Thus, it is possible to generate signals of a high level while still using the high speed of the bipolar transistor.

Here, the voltage that is applied to terminal A or to terminals B_1 through B_n can be at a constant level or it can be a pulse voltage as needed, and depending on the case, multiple voltages can be supplied to circuit C as the reference [voltage]. Moreover, there can also be multiple signal lines F. The present invention is not limited to Figure 1 and can be used for circuits with many inputs and many outputs, but for simplification of the description, examples are given below that are based on the same structure as in Figure 1. Terminal A in Figure 2 is connected to the positive electrical source V_A , but as previously mentioned, [the present invention] is not limited to this [example].

Figure 3 is a structural diagram showing a first example of the semiconductor device of the present invention. By means of this example, the pulse voltage that is the reference for the actuation of circuit D is applied to

terminal B₁ and a level that is higher than the actuation reference voltage V_A of the pre-stage circuit is output to output terminal G.

The actuation depicted in Figure 3 will now be explained using the voltage waveform in Figure 4. When the input voltage E is 0 V, the potential of signal line F is brought to a high level by the pre-stage circuit C shown in Figure 2 and reaches the steady state at voltage V_A. The potential of terminal B₁ at this time becomes V_A in Figure 4. However, P channel MIS transistor 25 should be turned off by setting V_A + | V_{T26} | or less with the threshold voltage of P channel MIS transistor 25 being V_{T25}. When the potential of signal line F reaches a high level, N channel MIS transistor 27 turns on and the base of bipolar transistor 26 becomes 0 V. Bipolar transistor 26 turns off and N channel MIS transistor 29 turns on and therefore, the potential of output terminal G becomes 0 V. The potential of input terminal E rises to V_A and the potential of signal line F rises (refer to Figure 2). The potential of terminal B₁ increases to V_A or higher. At this time, P channel MIS transistor 25 is ON and N channel MIS transistor 27 is OFF. Base current flows to bipolar transistor 26, and N channel MIS transistor 29 turns off. Therefore, current flows to output terminal G and the potential of output terminal G rises. The potential of output terminal G reaches the potential that is obtained by subtracting forward voltage between base and emitter V_{BE} from the potential of the base of bipolar transistor 26, and therefore, when the desired output level is V_A + V_α (V_α \geq 0), the desired output level can be obtained at the output terminal G as long as the potential of terminal B₁ is raised to V_A + V_α + V_{BE}.

When the potential of input terminal E changes to 0 V and the potential of terminal B₁ returns to V_A, as previously described, the potential of signal line F rises to V_A, bipolar transistor 26 turns off, N channel MIS transistor 29 turns on, and the potential of output terminal G becomes 0 V. The potential of B₁ at this time can be set at any value as long as it is V_A + | V_{T26} | or less, as previously described. For instance, it can be the same as V_A.

As previously mentioned, by means of the present invention it is possible to obtain high voltage output while still using the high speed of a bipolar transistor by setting the potential of B₁ as needed when the signals that are input from signal line F are at a low voltage.

Furthermore, it is possible to construct N channel MIS transistor 29 for lowering the potential of output terminal G in Figure 3 as shown by 30 in Figure 5. That is, circuit D has a structure in which an inverted combination of a CMOS and a bipolar transistor is connected in parallel. In this case, the circuit that flows through N channel MIS transistor 40 is amplified by bipolar transistor 42 and therefore, the potential of the output terminal can be lowered at high speed. However, in this case, the potential of output terminal G is controlled by the forward voltage between the base and emitter of bipolar transistor 42 and therefore, it cannot be lowered all the way to 0 V. When it is necessary to lower the potential of output terminal G all the way to 0 V, 30 in Figure 5 should be in parallel to N channel MIS transistor 29 in Figure 3. Furthermore, P channel MIS transistor 41 in Figure 5 is applied to the base of bipolar transistor 42 to eliminate

the charge and reliably turn off this bipolar transistor 42 when signal line F becomes 0 V.

Figure 6 is a structural diagram showing a second example of the semiconductor device of the present invention.

The difference between this example and the example in Figure 3 is that in contrast to the fact that the collector of bipolar transistor 26 and the source of P channel MIS transistor 25 in Figure 3 are connected to terminal B₁, in Figure 6, only the source of P channel MIS transistor 51 is connected to terminal B₁ and it is not connected to collector terminal B₂ of bipolar transistor 52. In short, by means of the structure in Figure 6, only the base current of bipolar transistor 52 is supplied from terminal B₁. Consequently, when compared to the case in which both base and collector current of bipolar transistor 26 are supplied from both B₁ as in Figure 3, the load on the circuit that drives terminal B₁ is alleviated and high-speed actuation becomes possible. The rest of the actuation is as shown in Figure 3.

Furthermore, by means of Figure 6, the collector of bipolar transistor 52 is connected to terminal B₂ and the potential can be set independent of terminal B₁, which supplies current to base 55. Consequently, it is possible to reliably prevent the saturation of bipolar transistor 52 by keeping the potential of this terminal B₂ higher than the potential of base 55 of this bipolar transistor 52. In order to do this, a pulse voltage having the amplitude of the base voltage or higher can be applied to B₂ in synchronization with changes in the potential of base 55. The potential of B₂ can also be kept at a constant value that is higher than the upper

limit of the potential of base 55. In the latter case, when signal line F is brought to a high level and the potential of output terminal G changes to a low level, high voltage is applied between the collector and emitter of the bipolar transmitter, but in this case, base 55 is grounded by N channel MIS transistor 53 and therefore, the voltage resistance of bipolar transistor 52 is determined by BV_{CES} (voltage resistance between the collector and emitter when the base is grounded). Thus, there is a problem in that the voltage resistance is high in comparison to the case where the base is in a floating state. Furthermore, if there is a chance that bipolar transistor 52 will be temporarily deeply saturated due to changes in the power source voltage in Figure 6, this deep saturation of bipolar transistor 52 can be prevented by inserting a diode D10 between terminal B_1 and B_2 as in the same figure and applying a current via the diode when the potential of terminal B_1 has become abnormally high. In addition, when necessary, circuit 30 that lowers the potential of output terminal G can be made only from MIS transistor 29 as shown in Figure 3, or it can be made from a bipolar transistor and an MIS transistor as shown in Figure 5, or the two can be used in parallel, as was previously described.

Figure 7 is a structural diagram of a third example of the semiconductor device of the present invention.

The main difference between Figure 7 and Figure 6 in terms of the circuit is that by means of Figure 6, circuit D outputs inverted signals from the signals that are input from signal line F. That is, in contrast to this inverter actuation, by

means of Figure 7, signals of the same phase as input F are output, or so-called non-inverted actuation is performed.

In Figure 7, bipolar transistor 83 is a transistor for supplying current to output terminal G in order to raise the potential of this terminal G, N channel MIS transistor 84 is a transistor for passing current out from output terminal G to V_{ss} and the other MIS transistors are for controlling the ON and OFF states of above-mentioned bipolar transistor 83 and MIS transistor 84.

The actuation of the example in Figure 7 will be explained using the voltage waveform in Figure 8.

In order to simplify the description, the potential of terminal B_2 is kept at a constant level that is higher than the upper limit of the potential of base 76 of bipolar transistor 83 in the figure. However, It is also possible to apply a pulse voltage synchronized with the changes in potential of base 76 to such an extent that bipolar transistor 83 does not become saturated. When the potential of input terminal E is V_A , the potential of signal line F is brought to 0 V by circuit C and therefore, N channel MIS transistor 75 turns off, P channel MIS transistor 80 turns on, N channel MIS transistor 81 turns on, and the potential of 87 becomes V_A . As a result, N channel MIS transistor 77 turns on, bipolar transistor 83 turns off, and N channel MIS transistor 84 turns on. Therefore, output terminal G becomes 0 V. Next, when input terminal E is lowered to 0 V, the potential of signal line F becomes V_A and as a result, gate 88 of N channel MIS transistor 75 is charged to the voltage that is obtained by subtracting the threshold voltage of N channel MIS transistor 74 from V_A . On the other hand, P channel MIS

transistor 80 turns off and N channel MIS transistor 81 turns on and therefore, the potential of 87 becomes 0 V and N channel MIS transistors 84 and 77 turn off.

When the potential of terminal B_1 rises to V_A or higher in this state, gate 88 of MIS transistor 75 has already been charged to the voltage that is obtained by subtracting the threshold voltage of N channel MIS transistor 74 from V_A and therefore, 88 is raised to a potential higher than B_1 by the self-capacitance between gate 88 of N channel MIS transistor 75 and B_1 . Therefore, current passes to base 76 of bipolar transistor 83 and the potential of this base 76 is raised to the potential of terminal B_1 without being limited to the threshold voltage of N channel MIS transistor 75. As a result, the potential of output terminal G is the value obtained by subtracting forward voltage V_{BE} between the base and emitter of bipolar transistor 83 from the potential of B_1 . If the desired output level is $V_A + V_\alpha$, the potential of B_1 should be $V_A + V_\alpha + V_{BE}$. Furthermore, the voltage of gate 73 is V_A and therefore, N channel MIS transistor 74 plays a role in preventing a back flow of current from gate 88 to signal line F by turning off gate 88 when it rises to V_A or higher. Next, when the potential of input terminal E rises and the potential of terminal B_1 drops, signal line F becomes 0 V and gate 87 becomes V_A , bipolar transistor 83 remains OFF, and N channel MIS transistor 84 turns off and output terminal G becomes 0 V. Base 76 of bipolar transistor 83 is grounded through N channel MIS transistor 77 at this time, and the voltage resistance of this bipolar transistor 83 increases. Moreover, even if the high voltage of B_2 is applied, there is little chance that bipolar transistor 83 will be destroyed. This is the same as in Figure 6. By means of the present example, it

is possible to generate signals of an output level that is as high as the input level, as previously explained.

Furthermore, when necessary, the circuit shown in Figure 9 can be used for the circuit for lowering the potential of output terminal G, and the circuit in Figure 9 and N channel MIS transistor 84 can be used in parallel. Moreover, when there is a chance that bipolar transistor 83 will be temporarily deeply saturated by fluctuations in the power source voltage, an abnormal elevation of the potential of B_1 to B_2 should be prevented by connecting a diode between B_1 and B_2 , as shown in Figure 6.

Figure 10 is a structural diagram of a fourth example of the semiconductor device of the present invention.

The main difference between Figure 7 and Figure 10 in terms of the circuit is that in contrast to the fact that in Figure 7, the collector and the base of bipolar transistor 83 are electrically separate, the base current and the collector current are supplied from B_2 in Figure 10 by inserting N channel MIS transistor 103 between the collector and the base of bipolar transistor 104.

The actuation of this example is explained below: Furthermore, the desired output level is $V_A + V_\alpha$ and a voltage of $V_A + V_\alpha + V_{BE}$ is applied to terminal B_2 . V_{BE} here is the forward voltage between the base and emitter of bipolar transistor 104. When the potential of input terminal E drops from V_A to 0 V with terminal B_1 at 0 V, as in the case in Figure 7, the gate of N channel MIS transistor 103 is charged up to the potential that is obtained by subtracting the threshold voltage for N channel MIS transistor 102 from V_A . At this time, N

channel MIS transistors 105 and 108 are OFF and therefore, current is passed to the base of bipolar transistor 104 from terminal B_2 and bipolar transistor 104 is turned on, and current is passed to output terminal G and the potential of terminal G rises. The base potential of bipolar transistor 104 only rises up to $V_A - V_{T102} - V_{T103}$ and the potential of output G drops further to V_{BE} when the threshold voltages of N channel MIS transistors 102 and 103 are V_{T102} and V_{T103} , respectively, and therefore, an output level of V_A or higher cannot be obtained as is. Therefore, a pulse voltage is applied to terminal B_1 with gate 112 in a charged state and the potential of gate 112 is raised to $V_A + V_\alpha + V_{BE} + V_{T103}$ or higher by capacitance 100. As a result, the base potential of bipolar transistor 104 is raised to $V_A + V_\alpha + V_{T103}$ and the potential of output terminal G reaches the desired output level of $V_A + V_\alpha$. By means of the present example, the base potential of bipolar transistor 104 only rises up to the same level as terminal B_2 and even if the potential of terminal B_2 drops for some reason, bipolar transistor 104 will not become saturated. Next, when the potential of input terminal E is raised from 0 V to V_A , signal line F becomes 0 V and N channel MIS transistors 103 and 107 turn off, P channel MIS transistor 106 turns on, and N channel MIS transistor 105 turns on. Therefore, bipolar transistor 104 turns off and N channel MIS transistor 103 turns on and the potential of output terminal G becomes 0 V. Furthermore, by means of the present example, circuit 113 for lowering the output of terminal G as needed can have the structure in Figure 11, and the circuit in Figure 11 can have N channel MIS transistor 108 in Figure 10 connected in parallel, as in the example in Figure 7. Moreover, the potential of

terminal B₂ was held at a constant level of V_A + V_a + V_{BE} in the above-mentioned description, but the pulse voltage that goes from 0 V to V_A + V_a + V_{BE} can be applied to terminal B₂ after charging gate 112. In this case, the potential of gate 112 is raised by self-capacitance between gate 112 of N channel MIS transistor 103 and terminal B₂, and therefore, capacitance 100 and terminal B₁ are not always necessary.

Thus, by means of the present example, it is possible to use to the utmost the strong drive performance of a bipolar transistor, as well as to create a semiconductor device having an output amplitude that is higher than the reference voltage of the pre-stage circuit, by setting the voltage that serves as the reference for actuation of a circuit comprising a bipolar transistor and an MIS transistor so that it is different from the voltage that serves as the reference of the pre-stage circuit that controls this circuit.

However, it is necessary to apply a pulse voltage to terminal B₁ in the examples that have been described thus far. There are many types of circuits that generate a pulse voltage, and since their circuit structure is well known, they are not described. However, the circuit shown in Figure 7 of "256 K CMOS Dynamic RAM with Static Column Mode Having Cycle Time of 50 ns", Ishihara, Miyazawa, Sakai, *Nikkei Electronics*, February 11, 1985, pp. 243 to 263, is a circuit that generates a pulse voltage as shown by the voltage waveform in Figure 9. Moreover, by means of the examples thus far, the source of the P channel MIS transistor (for instance, 25 in Figure 3) is brought to a high potential,

sic; Figure 8?—Trans. Note.

but it goes without saying that it is necessary to keep the potential of the well of the P channel MIS transistor higher than the potential of the source to prevent the flow of excess forward current between the source and the well, or so-called latch-up. Furthermore, although high voltage is applied between the drain and source of the N channel MIS transistor (for instance, 29 in Figure 3), if there are problems in terms of voltage resistance, the voltage that is applied between the drain and the source of the N channel MIS transistor that is a problem in terms of the above-mentioned voltage resistance should be reduced by serially inserting an N channel MIS transistor whose gate potential has been brought to V_A between the drain of this N channel MIS transistor and the terminal to which the drain has been connected.

Although various uses are envisioned for the present invention, it is particularly ideal for dynamic semiconductor memory devices. This is because in order to create high-speed semiconductor memory devices, it is necessary to drive the word line that has been selected at high speed and high amplitude, to increase the signal voltage, and as a result, to increase the S/N ratio, and further, to increase the storage voltage and to improve resistance to soft error. The details of the above-mentioned are described in Itoh, K. and Sunami, H. "High-density one-device dynamic MOS memory cells," IEEE PROC, Vol. 130, Part I., No. 3, JUNE 1983, pp. 127-135.

Next, an example of the case where the present invention was used for the word driver of a dynamic semiconductor memory device will be shown.

Figure 12 is a block diagram of a semiconductor memory and shows the N-bit memory cell array and peripheral circuit group.

i Number of word lines WL and j number of data lines DL are set up intersecting one another in memory cell array MCA, and memory cells MC are placed at N number of the points of intersection between the word lines and the data lines. Each address input X_0 through X_n and Y_0 through Y_m is applied to address buffer circuits ABX and ABY, and this output is transmitted to decoder driver circuit XD and YD. Of these decoder driver circuits XD and YD, word lines are driven by circuit XD and write-read circuit RC is driven by circuit YD so that the writing of information on the memory cell MC that has been selected from memory cell array MCA, or the reading of information from this memory cell MC is performed. CC is the write-read control circuit, and this circuit CC controls the above-mentioned address buffer circuits ABX and ABY, decoder drive circuits XD and YD, write-read circuit RC, and output circuit OC by chip selector signals CS, write actuation control signals WE, and input signals DI. Output circuit OC is the circuit for externally outputting information that has been read by write-read circuit RC. By means of the above-mentioned structure, it is possible to drive the level of word line WL at high speed and high amplitude by using the circuit of the present example as decoder driver circuit XD, and a dynamic memory of high speed and high stability can be realized.

Furthermore, write-read circuit RC in Figure 12 is placed so that part is at the end of memory cell array MCA on the opposite side of decoder driver circuit YD and control signals from decoder driver circuit YD can be used by being

passed over memory cell array MCA. Moreover, address input X_0 through X_n of the X system and address input Y_0 through Y_m of the Y system are input from separate input terminals in Figure 12, but, for instance, it is also possible to use these input terminals together by a system of inputting with a time difference, or so-called "address multiplexing," as described in: 1977 ISSCC "Digest of Technical Papers," pp. 12-13.

In this case, the above-mentioned write-read control circuit can be driven using signals that control address uptake, so-called RAS and CAS, in place of chip select signal CS.

Figure 13 is a more specific example of Figure 12 and shows part of memory cell array MCA and decoder driver circuit XD in further detail.

DEC_0 and DEC_1 in Figure 13 are the decoders and WD_0 and WD_1 are the word drivers. WL_0 and WL_1 are the word lines, DL_0 and DL_1 are a pair of data lines and MC_0 and MC_1 are memory cells. Furthermore, EQ is the equalizer for equalizing data lines in terms of potential and SA is the sense amp.

The circuit structure of equalizer EQ and sense amp SA is discussed in detail in: 1984 ISSCC "Digest of Technical Papers," pp. 276-277, and therefore, it is omitted here. Moreover, decoders DEC_0 and DEC_1 are actuated with voltage V_A applied to the respective terminals 130 and 137 as the reference, and word drivers WD_0 and WD_1 that use the present invention are actuated using as the reference pulse voltage ϕ_x applied to terminals 154 and 157, voltage V_H applied to terminals 155 and 158, and the pulse voltage ϕ_L applied to terminals 156 and

159. It goes without saying that here, voltage V_H is the potential at which bipolar transistor 150, etc., does not become saturated.

With the exception that N channel MIS transistors 152 and 166 are set up in parallel with N channel MIS transistors 151 and 165, the circuit structure of word driver WD_0 and WD_1 is the same as that of circuit D of Figure 7. Read actuation in Figure 13 will be described using the voltage waveform in Figure 14.

When read actuation is started, the pair of data lines DL_0 and DL_1 are brought to the same potential of approximately $1/2 V_A$ by equalizer EQ and then brought to a floating state. On the other hand, the gates of N channel MIS transistors 148 and 164 are pre-charged to a voltage that is obtained by subtracting the threshold voltage of N channel MIS transistor 145 and 163 from V_A with pre-charge signal ϕ_P being 0 V and all address buffer outputs Ax_0 , Ax_1 , ..., Ax_R being 0 V. Two word line drivers are shown here, but pre-charging is actually carried out at the same time on all word drivers. Next, once pre-charge signal ϕ_P has risen, either the positive or negative address buffer output is raised and in accordance with this, part of the N channel MIS transistor in decoder DEC turns on, and, of the gates of the above-mentioned MIS transistor that have been pre-charged, the gates of the unselected word drivers—drivers other than the word driver connected to the word line that is selected—are brought to 0 V. The case where word line L_0 is selected is shown here, and the gate of N channel MIS transistor 148 remains pre-charged. On the other hand, the gate of N channel MIS transistor 164 is not selected and therefore becomes 0 V. Moreover, the output of DEC_1 becomes 0 V and therefore, unselected word line WL_1 is kept

at 0 V by turning on N channel MIS transistor 165 of word driver WD₁. Next, when word latch signal ϕ_L is lowered and signal ϕ_x is raised from 0 V to $V_A + V_\alpha + V_{BE}$, the gate of N channel MIS transistor 148 in WD₀ is boosted because it is pre-charged and the potential of word line WL₀ rises to $V_A + V_\alpha$ as with the circuit actuation in Figure 7. On the other hand, the gate of N channel MIS transistor 164 in WD₁ is 0 V and does not rise. This N channel MIS transistor 164 turns off and the potential of word line WL₁ therefore remains at 0 V. When the potential of word line WL₀ that has been selected rises, N channel MIS transistor 160 of memory cell MC₀ turns on and signals are read out from memory cell MC₀ to data line DL₀. A small potential difference is produced between the pair of data lines DL₀ and DL₀.

The potential difference between the above-mentioned data lines is amplified by sense amp SA and information is re-written in the memory cell and transmitted to the post-stage circuit. Next, pulse signal ϕ_x is lowered to 0 V, latch signal ϕ_L is raised, and word line WL₀ is raised to 0 V. Then the pair of data lines are brought to the same potential of approximately 1/2 V_A by equalizer EQ. On the other hand, all of the address buffer outputs are lowered and then pre-charge signal ϕ_P is lowered to 0 V and pre-charging is performed in preparation for the following actuation. By means of the above-mentioned reading actuation, the circuit of the present invention is used for word drivers WD₀, WD₁,.... and therefore, the potential of the word line that has been selected can be raised at high speed and high amplitude. As a result, the signal voltage as well as the storage voltage of the memory cell can be increased, facilitating both high speed

and high reliability. Furthermore, the circuit described in *Nikkei Electronics* that was referred to can be used as the circuit that generates pulse signals ϕ_x in Figure 13, and, for instance, the example in Figure 6 can be used to produce high speed. Moreover, a decoder is set up at each word driver in Figure 13 and the same pulse signals ϕ_x are applied to each word driver. However, it is of course possible to make various modifications as necessary, such as using one decoder for multiple word lines and decoding and applying only one pulse signal from word drivers that share a common decoder.

Moreover, an example where the pre-charge voltage of the data lines is $V_A/2$ is given here, but the present invention is not limited to this example and this voltage can be set at any voltage within a range of 0 to V_A .

Furthermore, by means of the above-mentioned read actuation, the base of the bipolar transistor of the unselected word drivers, for instance, 168 in WD₁, is kept at 0 V by ϕ_x when signal ϕ_x is 0 V and by an MIS transistor inserted between the base of the above-mentioned bipolar transistor and V_{SS} , for instance, 167 of WD₁, when signal ϕ_x is raised. Consequently, there is no problem with voltage resistance of the above-mentioned bipolar transistors, even if the collector is kept at a high voltage of V_H because [this resistance] is determined by BV_{CES} , as previously mentioned.

However, by means of the structure in Figure 13, two positive power sources, a power source that supplies voltage V_A and a power source that supplies voltage V_H , are necessary. These power sources can, of course, supply electricity separately from outside the chip, but it is also possible for only one to

supply electricity from outside the chip, while the other generates and supplies electricity inside the chip based on [this electricity from outside the chip] as the reference or for both to generate electricity inside the chip based on another power source as the reference. Consequently, it is also possible that, as in Figure 13 or the above-mentioned examples, when two positive power sources are necessary and one is an outside positive power source, for instance, the higher of two voltages is supplied directly from an outside power source, while the lower [voltage] is supplied by reducing the voltage of the outside positive power source further using a voltage limiter circuit, as shown in Patent Applications No. 56[1981]-168,698 and No. 57[1982]-220,083. Moreover, depending on the case, it is also possible to supply the lower voltage from two required power sources from an outside positive power source and to raise the voltage of the outside positive power source using a booster circuit and then to supply this higher voltage.

Figure 15 is an example of the booster circuit used in the present invention.

By means of this circuit, voltage V_A is supplied from outside positive power source to generate high voltage V_H . The circuit in Figure 15 is one in which so-called charge-pump booster circuits CP_1 and CP_2 have been arranged in parallel. The actuation theory of the charge-pump booster circuit is well-known and will not be described here. Here, Zener diode 192 is for the leaking of current when the voltage of terminal 194 becomes too much higher than the desired level V_H and for preventing the potential from rising further. However, it can be omitted

when it is not necessary. Moreover, it is also possible to successively connect multiple MIS diode circuits, wherein the gate and drain of a conventional diode or MIS transistor have been connected, and use this in place of Zener diode 192. In addition, the example wherein diodes made from an MIS capacity and an MIS transistor have been connected in three steps is shown as CP₁ and CP₂, but in general, when the number of steps is n, the threshold voltage of the MIS transistor is V_T, and the pulse amplitude of ϕ_{S1} through ϕ_{S3} and ϕ_{T1} through ϕ_{T3} is V_A, the voltage that is obtained is approximately $(n + 1)(V_A - V_T)$ and n should be selected in accordance with the V_H that is needed.

When this circuit is used in Figure 13, the current, which must be supplied from terminal 194 in Figure 15, increases when the word line is selected. Consequently, it is possible to actuate both CP₁ and CP₂ in order to obtain a large supply current during the active period of the semiconductor memory, and to actuate only CP₁ during the stand-by period. Thus, it is possible to obtain a high output current at low power consumption.

Figure 16 shows an example of the voltage waveform of the pulse applied to CP₁ and CP₂ in Figure 15.

In the figure, only CP₂ is actuated during t_{ST}, that is, the stand-by period, while both CP₁ and CP₂ are actuated during "top", that is, the active period. In order to synchronize the start-up time of CP₂ with the time when the word line is selected, for instance, chip select CS signal and RAS signals are used. Moreover, it is necessary to hold the potential of the word line that has been selected to a high potential for a long period of time for actuation so that the

information of the memory cell on the word lines is read continuously as one unit, as with the so-called page mode. In this case, once the word line potential has reached a high level, it is of course possible to activate CP₂ using CAS signals, etc.

Incidentally, this is an example in which two charge pump circuits are used, but it is of course possible to use one or to use many circuits as needed. Moreover, the potential of terminal 194 in Figure 15 will temporarily drop when the potential of the word line rises extremely rapidly. In this case, it is necessary to increase the capacity of terminal 194 and to decrease the reduction in potential in order to prevent the saturation of the bipolar transistor where terminal 194 is connected to the collector. Therefore, it is also possible to make the parasitic capacity of terminal 194 greater than the collector capacity of the bipolar transistor by connecting the collector of the bipolar transistor for supplying V_H to all of terminals 194. In addition, ϕ_{S1} and ϕ_{S3} as well as ϕ_{T1} and ϕ_{T3} are all different signals, but depending on the case, [the memory] can be driven by the same signal.

Furthermore, when there is a chance that the bipolar transistor will become temporarily saturated by fluctuations in the power source voltage, it is possible to prevent the saturation by connecting a diode between the output terminal of the circuit that generates pulse signals ϕ_x and V_H terminal 194 of Figure 15, as previously described, so that this diode will turn on when the potential of ϕ_x becomes high relative to V_H.

[Results of the Invention]

As previously mentioned, by means of the present invention, the voltage that serves as the reference for actuation of a circuit comprising a bipolar transistor and an MIS transistor is different from the voltage that is the reference for actuation of the pre-stage circuit that controls this circuit, and therefore, it is possible to use to its fullest extent the strong drive performance of the bipolar transistor and to obtain the desired high output level.

4. Brief Description of the Drawings

Figure 1 is a schematic representation of a semiconductor device showing the basic structure of the present invention; Figure 2 is a figure showing a specific example of the pre-stage circuit in Figure 1; Figure 3 is a diagram showing the first example of the semiconductor device of the present invention; Figure 4 is a voltage waveform graph for Figure 3; Figure 5 is a diagram showing circuit 30 of Figure 3; Figure 6 is a diagram showing a second example of the semiconductor device of the present invention; Figure 8 shows the voltage waveform of Figure 7; Figure 9 is a figure showing circuit 86 of Figure 7; Figure 10 is a diagram of a fourth example of the semiconductor device of the present invention; Figure 11 is a diagram of circuit 113 in Figure 10; Figure 12 is a diagram of the dynamic semiconductor device that pertains to the present invention; Figure 13 is a figure showing the case in which the present invention is used for a word driver; Figure 14 is a diagram showing the voltage waveform of Figure 13; Figure 15 is a charge pump-type booster circuit used in the present invention; Figure 16 is a figure showing the voltage waveform of Figure 15;

Figure 17 is a first conventional example; and Figure 18 is a second conventional example.

A. Terminal that applies the voltage that serves as the reference for actuation of circuit C

B₁ through B_n. Terminals that apply the voltage that serves as the reference for actuation of circuit D

C. Circuit that controls circuit D

D. Circuit that comprises an MIS transistor and a bipolar transistor

E. Input terminal

F. Signal line

G. Output terminal

V_A. Voltage that serves as the reference for actuation of circuit C

30, 86, 113. Circuit that lowers the potential of output terminal G

X₀ through X_n. X address

Y₀ through Y_m. Y address

MCA. Memory cell array

MC, MC₀, MC. memory cells

DL, DL₀, DL₁. data lines

WL, WL₀, WL₁. word lines

ABX, ABY: address buffer circuit

XD, YD. decoder and driver circuit

- RC. write-read circuit

CC. write-read control circuit

OC. output circuit

DO. output

CS. chip select signal

WE. write actuation control signal

DI. input

A_{X0} , A_{XR} , A_{X0} . address buffer output

DEC_0 , DEC_1 . decoder

WD_0 , WD_1 . word driver

SA. sense amp

EQ. equalizer

ϕ_P . pre-charge signal

ϕ_L . latch signal

ϕ_x . pulse signal

CP_1 , CP_2 . charge-pump circuit

192. Zener diode

ϕ_{S1} , ϕ_{S2} , ϕ_{S3} . CP_1 active pulse

ϕ_{T1} , ϕ_{T2} , ϕ_{T3} . CP_2 active pulse

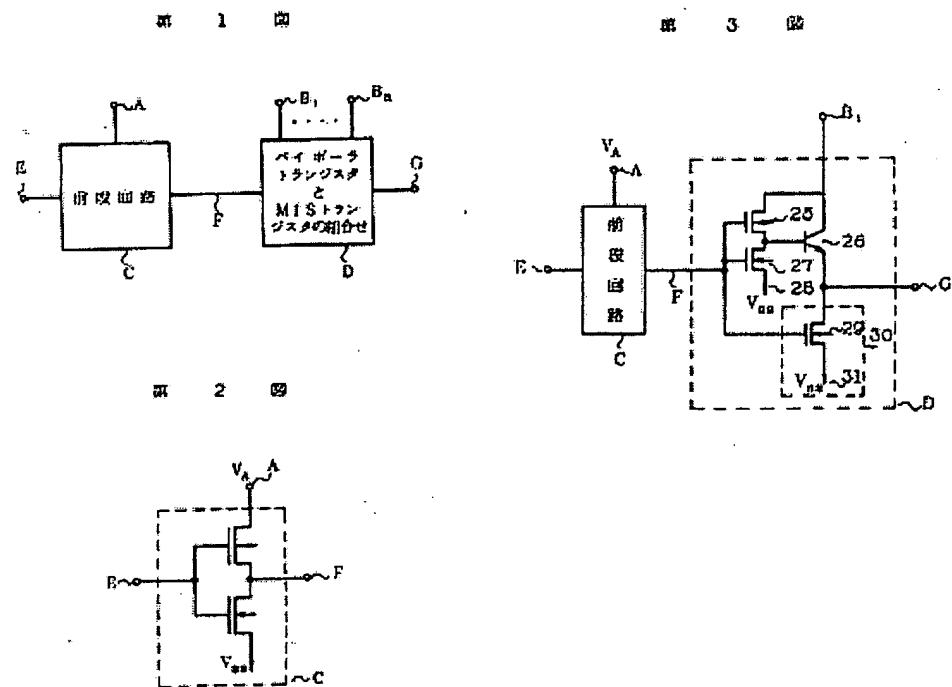


Figure 1.

A. Pre-stage circuit

D. Combination of bipolar transistor and MIS transistor

Figure 3.

Pre-stage circuit

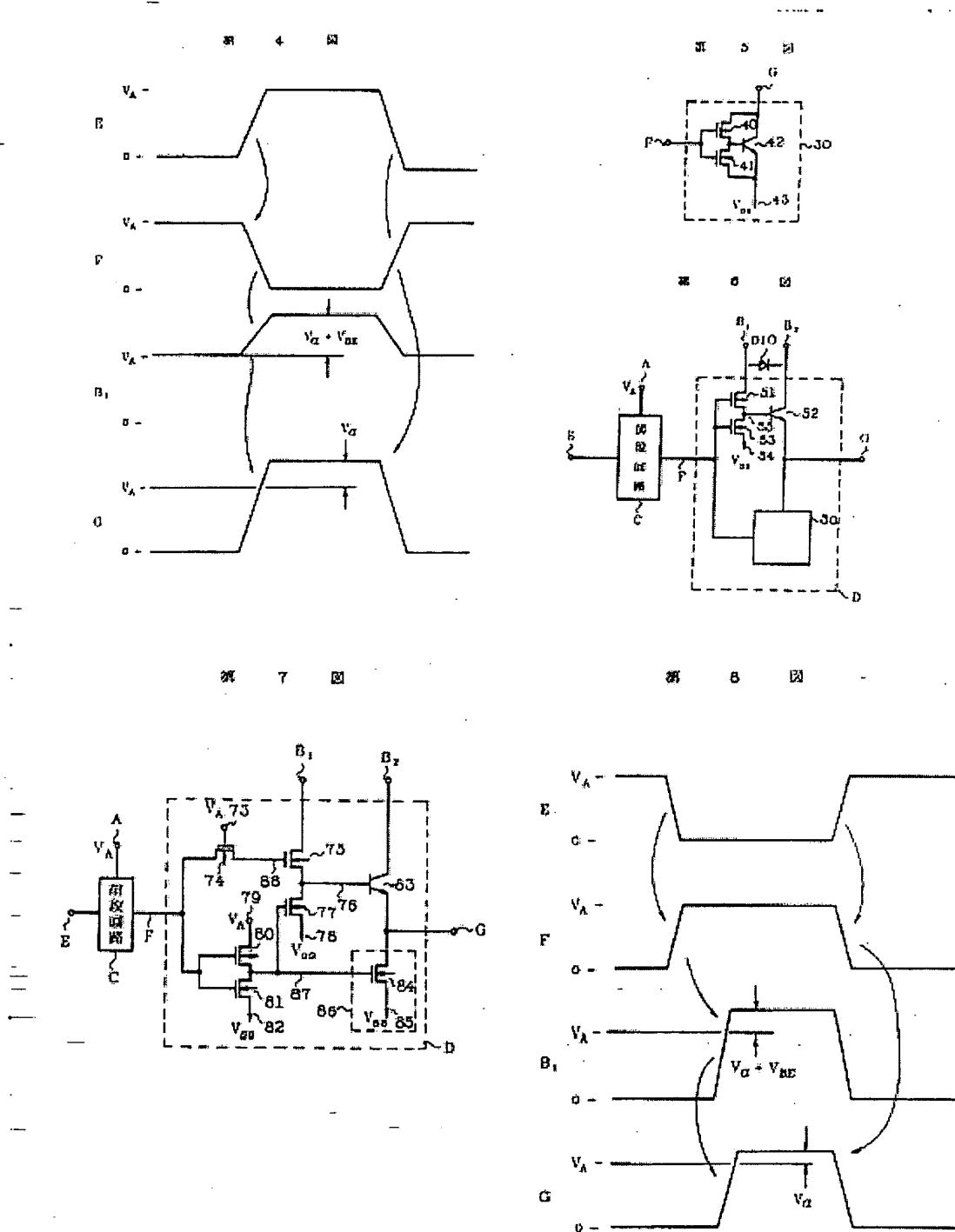
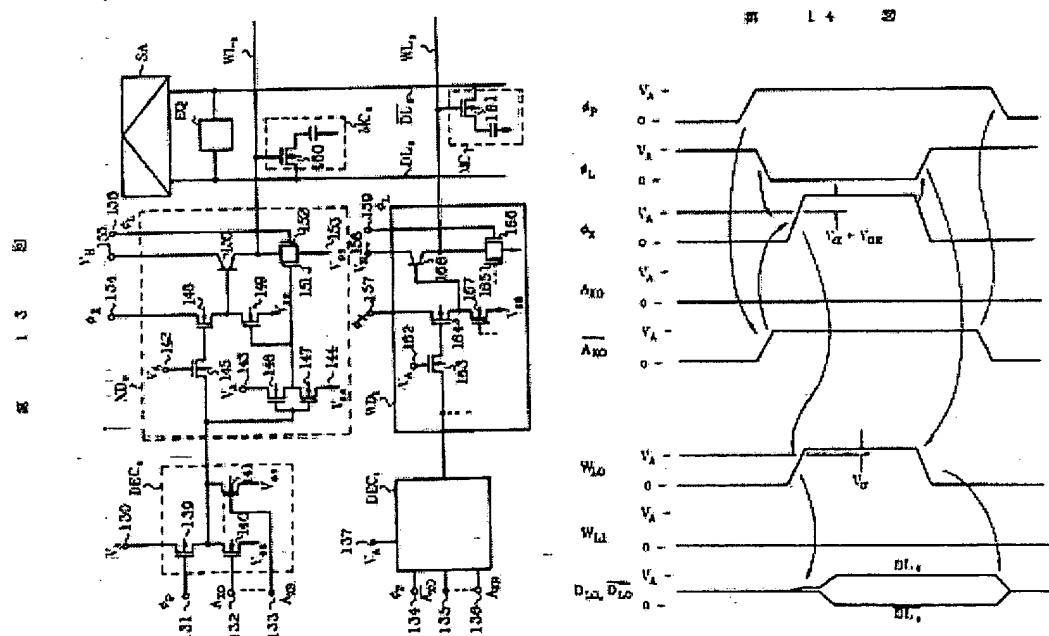
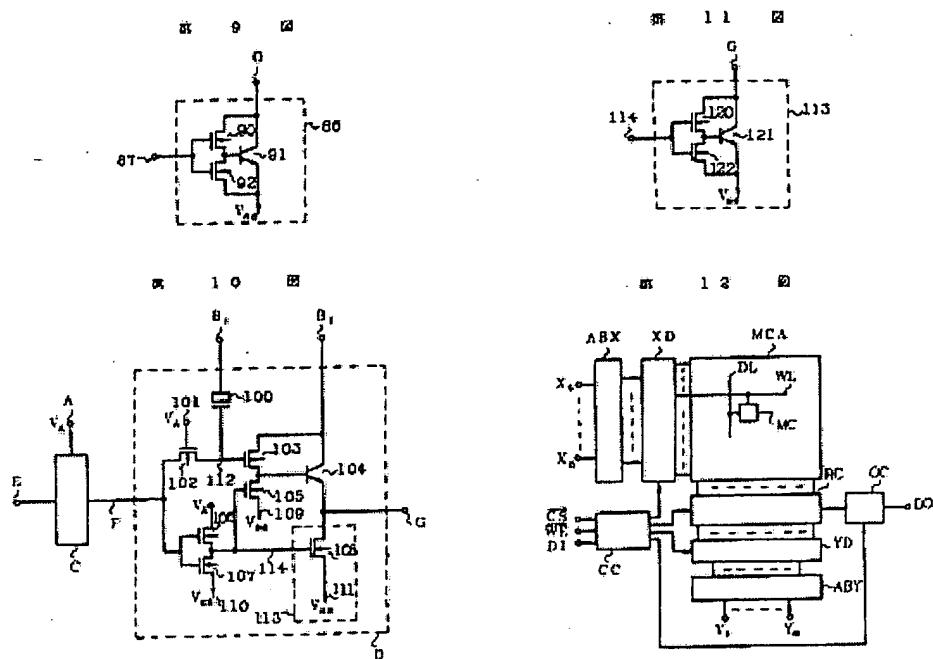


Figure 6.

Pre-stage circuit

Figure 7.

Pre-stage circuit



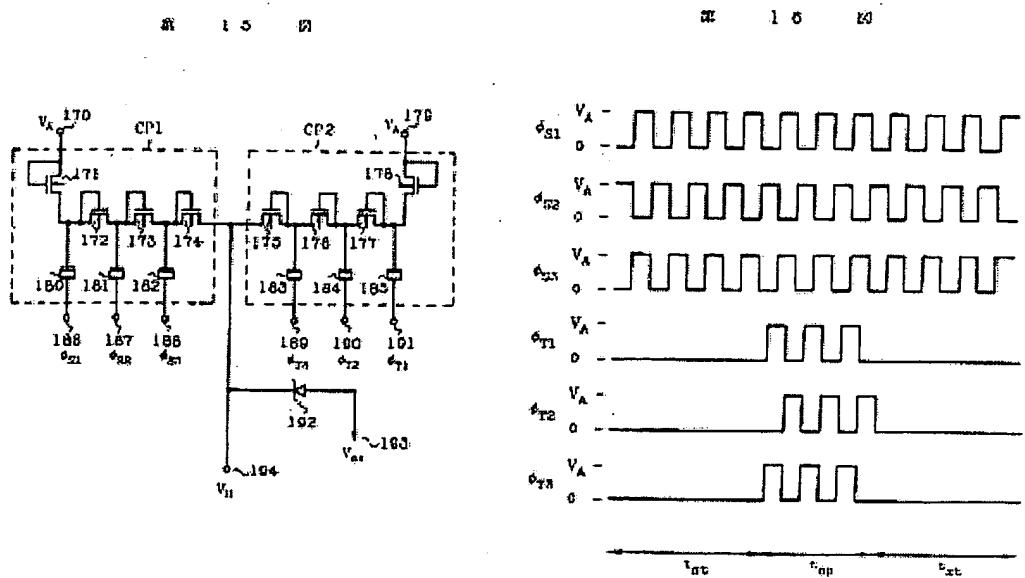
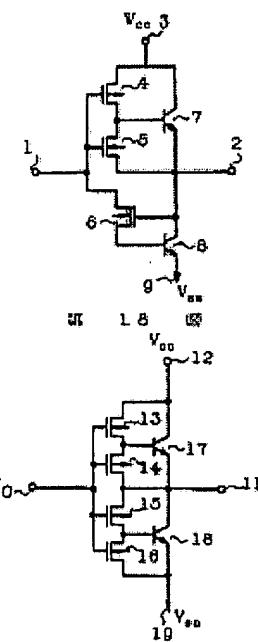


図 16 図



Trans. Note: Figure 18 is omitted in the Japanese text.

⑪ 公開特許公報 (A) 昭62-21323

⑤Int.Cl.⁴
 H 03 K 19/08
 G 11 C 11/34
 H 03 K 17/60

識別記号
 H 03 K 19/08
 G 11 C 11/34
 H 03 K 17/60

厅内整理番号
 A-8326-5J
 7230-5B
 Z-7105-5J

⑩公開 昭和62年(1987)1月29日

審査請求 未請求 発明の数 2 (全14頁)

⑪発明の名称 半導体装置

⑪特 願 昭60-161467
 ⑪出 願 昭60(1985)7月22日

⑪発明者 渡 部 隆 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑪発明者 橋 川 五 郎 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑪発明者 堀 陵 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑪発明者 伊 藤 清 男 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑪出願人 株式会社日立製作所
 ⑪代理人 弁理士 磯村 雅俊 東京都千代田区神田駿河台4丁目6番地

明細書

1. 発明の名称 半導体装置

2. 特許請求の範囲

(1) 前段回路により制御され、かつ少なくとも1個のバイポーラトランジスタと、少なくとも1個の絶縁ゲート電界効果トランジスタを含む回路で構成され、該回路は少なくとも1つの電圧を基準として動作し、上記基準とする電圧のうち少なくとも1つが上記回路を制御する前段回路が基準として動作する電圧とは異なる電圧値を有することを特徴とする半導体装置。

(2) 前段回路により制御され、かつ從属接続されたNチャネル電界効果トランジスタとPチャネル電界効果トランジスタ、および從属接続点がベースに接続されたバイポーラトランジスタからなる出力電圧立ち上げ手段、ならびにNチャネル電界効果トランジスタまたは從属接続された電界効果トランジスタと接続点がベースに接続されたバイポーラトランジスタ、またはこれらの並列接続か

らなる出力電圧立ち下げ手段を備えることを特徴とする半導体装置。

(3) 上記出力電圧立ち上げ手段は、Pチャネル電界効果トランジスタのソースに基準電圧が接続され、バイポーラトランジスタのコレクタには上記基準電圧とは異なる電圧が接続されることを特徴とする特許請求の範囲第2項記載の半導体装置。

(4) 上記出力電圧立ち上げ手段は、前段回路からの制御信号が、從属接続された電界効果トランジスタの一方のゲートに、電界効果トランジスタのドレイン・ソースを介して接続されるとともに、電界効果トランジスタ回路を介して他方のゲート、および出力立ち下げ手段に接続されることを特徴とする特許請求の範囲第2項記載の半導体装置。

(5) 上記出力電圧立ち上げ手段は、從属接続された電界効果トランジスタの一方のゲートに基準電圧を加え、かつ該電界効果トランジスタのドレインと、從属接続点にベースが接続されたバイポーラトランジスタのコレクタに上記基準電圧とは異なる電圧を加えることを特徴とする特許請求の範

図第4項記載の半導体装置。

3. 発明の詳細な説明

【発明の利用分野】

本発明は半導体装置に係り、特に高い駆動能力と大きな出力振幅を得るのに好適な、バイポーラトランジスタと絶縁ゲート型電界効果トランジスタ(以下、MISトランジスタという。)を用いた回路に関する。

【発明の背景】

従来、バイポーラトランジスタとMISトランジスタを用いた回路として、特開昭59-25423号公報に示された半導体装置がある。

第17図は、上記半導体装置の構成図である。第17図により、回路の動作ならびにその問題点を説明する。この半導体装置は、CMOS(相補型MOS)とバイポーラトランジスタ7の組合せ回路とMISトランジスタ6とバイポーラトランジスタ8の組合せ回路を並列に接続したものである。以下、負電源の電圧 V_{ss} を0Vとして説明を行う。入力端子1の電位が0Vのとき、Pチャネル

MISトランジスタ4がオンし、バイポーラトランジスタ7のベースに電流が流れ、このバイポーラトランジスタ7はオンする。一方、バイポーラトランジスタ8は、ベースの電位が0Vであるためオンしない。この結果、出力端子2へ電流が流れ、その出力端子2の電位が上昇する。出力端子2の電位は、最終的には正電源の電圧 V_{cc} からバイポーラトランジスタ7のベース・エミッタ間順方向電圧 V_{BE} を差し引いた値になる。このように、第17図に示す従来の回路では、出力端子2の電位は正電源の電圧 V_{cc} まで上昇しない。

また、MISトランジスタとバイポーラトランジスタを組合せた回路からなる半導体装置として、前述の回路の他には、特開昭59-8431号公報に示された駆動回路がある。

第18図は、上記半導体装置の構成を示す図である。第18図の回路は、逆向きのCMOS回路とバイポーラトランジスタの組合せ回路を入出力端子間で並列に接続したものである。前述した第17図の回路では入力の反転信号を出力するのに

対し、第18図の回路は入力と同相の肯定信号を出力する。すなわち、入力端子10が高レベルになるとMISトランジスタ13がオンし、バイポーラトランジスタ17のベースに電流が流れてこのバイポーラトランジスタ17はオンする。一方、PチャネルMISトランジスタ15がオフ、NチャネルMISトランジスタ16がオンするため、バイポーラトランジスタ18のベース電位は0Vとなり、このバイポーラトランジスタ18はオフする。この結果、出力端子11へ電流が流れ、該出力端子11の電位は上昇する。このとき、該出力端子11の電位は、正電源 V_{cc} より、NチャネルMISトランジスタ13のしきい電圧 V_T と、バイポーラトランジスタ17のベース・エミッタ間順方向電圧 V_{BE} を差し引いた値 $V_{cc} - V_T - V_{BE}$ まで上昇する。このように、第18図の回路の出力レベルは、第17図の出力レベルよりもさらに低くなってしまう。

以上のように、従来回路では、出力レベルを十分高くすることができない。出力レベルが小さい

と次段回路の入力レベルが小さくなるために、次段回路の動作がおそくなり、LSI全体としてみた場合、バイポーラトランジスタの高速性を十分に発揮できない。また、この問題は、従来デバイスが微細化され、電源電圧を低くする必要が生じたときに顕著となる。従って、バイポーラトランジスタの高駆動能力を十分活用した上で、十分に大きな出力レベルを出せる回路が望まれる。

【発明の目的】

本発明の目的は、このような従来の問題点を改善し、バイポーラトランジスタの高駆動能力を活かし、かつ十分大きな出力レベルを得ることが可能な半導体装置を提供することにある。

【発明の概要】

上記目的を達成するため、本発明の半導体装置は、前段回路により制御され、かつ少なくとも1個のバイポーラトランジスタと、少なくとも1個の絶縁ゲート電界効果トランジスタを含む回路で構成され、該回路は少なくとも1つの電圧を基準として動作し、上記基準とする電圧のうち少なく

とも1つが上記回路を制御する前段回路が基準として動作する電圧とは異なる電圧値を有することにより、高い駆動能力と大きな出力振幅を得ることができるようにした。

〔発明の実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の半導体装置の概念を説明する実施例図である。第1図では、1入力、1出力の回路の場合を例示している。第1図において、Dは、バイポーラトランジスタとMISトランジスタを含む組合せ回路、Cは回路Dを制御する前段回路であり、Aは回路Cの動作の基準となる電圧を印加する端子、B₁～B_nは回路Dの動作の基準となる電圧を印加する端子である。また、Eは回路Cの入力端子、Gは回路Dの出力端子で、接続線Fは回路Dを制御する信号線を回路Cより伝達するための信号線である。

本発明においては、B₁～B_nに印加する電圧のうち、少なくとも1個以上の電圧を端子Aに印

加する電圧より高くすることにより、端子Gに出力される信号のレベルを、信号線Fを介して回路Dに入力される信号のレベルより高くする。これにより、バイポーラトランジスタの高速性を活かしたまままで、高レベルの信号を発生することが可能になる。

ここで、端子Aもしくは端子B₁～B_nに与えられる電圧は、必要に応じて一定レベルのものであってもまたパルスであってもよいし、場合によつては、回路Cに複数の電圧を基準として供給するようにしてよい。また、信号線Fが複数本であつてもよい。本発明は、第1図に限定されるものではなく、多入力、多出力の回路へ応用することも可能であるが、説明を簡単にするため、以下においても第1図と同一の構成をもとにした実施例を示す。なお、回路Cとしては、第2図に示すようなCMOSインバータを用いることとする。第2図において、端子Aは正電源V_Aに接続するが、これに限定されないことも前記のとおりである。

第3図は、本発明の第1の実施例を示す半導体

装置の構成図である。この実施例では、-端子B₁に回路Dの動作の基準となるパルス電圧を印加し、出力端子Gに前段回路Cの動作基準電圧V_Aより高いレベルを出力する。

以下、第4図の電圧波形を用いて、第3図の動作を説明する。入力端子Eを0Vとすると、第2図に示す前段回路Cにより、信号線Fの電位は高レベルとなり、電圧V_Aで定常となる。このときの端子B₁の電位は第4図ではV_Aとなつていて、PチャネルMISトランジスタ25がオン、NチャネルMISトランジスタ27がオフして、バイポーラトランジスタ26にベース電流が流れ、バイポーラトランジスタ26がオンし、NチャネルMISトランジスタ29がオフするので、出力端子Gへ電流が流れ出力端子Gの電位は上昇する。出力端子Gの電位は、バイポーラトランジスタ26のベースの電位より、ベース・エミッタ間順方向電圧V_{BE}を差し引いた電位まで達するので、所望の出力レベルをV_A+V_{BE}(V_{BE}≥0)とすると、端子B₁の電位をV_A+V_{BE}まで昇圧すれば、出力端子Gに所望の出力レベルが得られる。

入力端子Eの電位を0Vに遷移させ、端子B₁の電位をV_Aにもどすと、前記したように信号線Fの電位がV_Aに上昇し、バイポーラトランジスタ26がオフ、NチャネルMISトランジスタ29がオンして出力端子Gの電位は0Vになる。このときのB₁の電位は、前にも述べたようにV_A+V_{BE}以下であれば任意の値に設定でき、

入力端子Eの電位を0Vに遷移させ、端子B₁の電位をV_Aにもどすと、前記したように信号線Fの電位がV_Aに上昇し、バイポーラトランジスタ26がオフ、NチャネルMISトランジスタ29がオンして出力端子Gの電位は0Vになる。このときのB₁の電位は、前にも述べたようにV_A+V_{BE}以下であれば任意の値に設定でき、

例えば、V_Aと等しくすることもできる。

以上述べたように、本実施例によれば、信号線Fより入力される信号が低電圧の時のB₁の電位を任意に設定することにより、バイポーラトランジスタの高速性を活したままで、高電圧の出力を得ることができる。

なお、第3図において、出力端子Gの電位を立ち下げるためのNチャネルMISトランジスタ29を、第5図の30に示すような構成とすることも可能である。すなわち、回路Dは逆向きのCMOSとバイポーラトランジスタの組合せを、並列に接続した構成となる。この場合には、NチャネルMISトランジスタ40を流れる電流が、バイポーラトランジスタ42により増幅されるので、出力端子の電位の立ち下げを高速に行うことができる。ただし、この場合には、出力端子Gの電位は、バイポーラトランジスタ42のベース・エミッタ間順方向電圧で制限されるため、完全に0Vまで下がらない。出力端子Gの電位を完全に0Vまで下げる必要のある場合には、第3図のNチャネ

ルMISトランジスタ29と並列に、第5図の30を設置すればよい。なお、第5図において、PチャネルMISトランジスタ41は、信号線Fが0Vとなったときに、バイポーラトランジスタ42のベースに蓄積して電荷を引き抜いて、このバイポーラトランジスタ42を確実にオフさせるためのものである。

第6図は本発明の第2の実施例を示す半導体装置の構成図である。

本実施例と第3図の実施例との違いは、第3図ではバイポーラトランジスタ26のコレクタとPチャネルMISトランジスタ25のソースが端子B₁に接続されているのに対し、第6図では、PチャネルMISトランジスタ51のソースのみが端子B₁に接続され、バイポーラトランジスタ52のコレクタ端子B₂とは接続されていない点である。つまり、第6図の構成では、端子B₁からはバイポーラトランジスタ52のベース電流のみを供給すればよい。したがって、第3図のようにバイポーラトランジスタ26のベースとコレクタ

電流を両方B₁より供給する場合と比較して、端子B₁を駆動する回路の負担が軽減されるため、高速動作が可能となる。その他の動作については、第3図と同じである。

なお、第6図において、バイポーラトランジスタ52のコレクタは端子B₂に接続されており、ベース55へ電流を供給する端子B₁とは独立に電位を設定できる。したがって、この端子B₂の電位をバイポーラトランジスタ52のベース55の電位より高く保つことによって、該バイポーラトランジスタ52が飽和することを確実に防止できる。そのためには、ベース55の電位変動に同期して、ベース電圧以上の振幅を有するパルス電圧をB₂に与えてもよいし、B₂の電位をベース55の電位の上限より高い一定値に保ってもよい。後者の場合、信号線Fが高レベルとなって、出力端子Gの電位が低レベルへ遷移したときにバイポーラトランジスタ52のコレクタ・エミッタ間に高い電圧がかかるが、このときベース55は、NチャネルMISトランジスタ53により接地されてい

るため、バイポーラトランジスタ52の耐圧は、B_{VCEs}（ベース接地時のコレクタ・エミッタ間耐圧）で決るので、ベースをフローティング状態とした場合と比較して高くなるので問題はない。なお、第6図において電源電圧の変動などによってバイポーラトランジスタ52が一時的に深く飽和する恐れの生じる場合があるときには、同図のように端子B₁とB₂の間にダイオードD10を挿入して、端子B₁の電位が異常に高くなつた場合にダイオードを通じて電流を流してバイポーラトランジスタ52が深く飽和するのを防止すればよい。なお、第6図において、出力端子Gの電位を立ち下げる回路30は、必要に応じ第3図のようにMISトランジスタ29のみで構成してもよいし、第5図のようにバイポーラトランジスタとMISトランジスタで構成してもよいし、両者を並列に用いてもよいことは前に述べた通りである。

第7図は本発明の第3の実施例を示す半導体装置の構成図である。

第7図と第6図の回路上の大きな違いは、第6図では回路Dは信号線Fより入力される信号の反転信号を出力する、いわゆるインバータ動作をするのに対して、第7図では入力Fと同相の信号を出力する、いわゆるノンインバータ動作をする点である。

第7図において、バイポーラトランジスタ83は出力端子Gへ電流を供給して該端子Gの電位を立ち上げるためのトランジスタ、NチャネルMISトランジスタ84は、出力端子GよりV_{ss}へ電流を流し出し、該端子Gの電位を立ち下げるためのトランジスタで、その他のMISトランジスタは、上記バイポーラトランジスタ83とMISトランジスタ84のオン、オフを制御するためのものである。

以下、第8図の電圧波形を用いて、第7図の実施例の動作を説明する。

図では、説明を簡単にするため、端子B₂の電位はバイポーラトランジスタ83のベース76の電位の上限値より高い一定値に保たれているもの

この状態で端子B₁の電位をV_A以上に昇圧すると、MISトランジスタ75のゲート88は、あらかじめ、V_AからNチャネルMISトランジスタ74のしきい電圧を差し引いた電圧に充電されているため、-NチャネルMISトランジスタ75のゲート88とB₁の間の自己容量によって88はB₁より高電位に昇圧される。このため、バイポーラトランジスタ83のベース76に電流が流れ、該ベース76の電位はNチャネルMISトランジスタ75のしきい電圧に制限されずに端子B₁の電位まで上昇する。その結果、出力端子Gの電位は、B₁の電位から、バイポーラトランジスタ83のベース・エミッタ間順方向電圧V_{BE}を差し引いた値まで上昇する。所望の出力レベルをV_A+V_aとすれば、B₁の電位をV_A+V_a+V_{BE}にすればよい。なおNチャネルMISトランジスタ74は、そのゲート73の電圧をV_Aとしているため、ゲート88がV_A以上に昇圧されたときにオフしてゲート88より信号線Fへ電流が逆流することを防止する役割を果す。次に、

するが、バイポーラトランジスタ83を飽和させない範囲でベース76の電位変動に同期したパルス電圧を印加してもよい。入力端子Eの電位をV_Aとすると、回路Cによって信号線Fの電位が0Vとなるので、NチャネルMISトランジスタ75がオフ、PチャネルMISトランジスタ80がオン、NチャネルMISトランジスタ81がオフして、87の電位はV_Aとなる。その結果、NチャネルMISトランジスタ77がオンしてバイポーラトランジスタ83がオフし、NチャネルMISトランジスタ84がオンするので、出力端子Gは0Vとなる。次に、入力端子Eを0Vに立ち下げるとき、信号線Fの電位はV_Aとなり、その結果NチャネルMISトランジスタ75のゲート88が、V_Aより、NチャネルMISトランジスタ74のしきい電圧を差し引いた電圧に充電される。一方、PチャネルMISトランジスタ80がオフ、NチャネルMISトランジスタ81がオフするので、87の電位が0Vとなり、NチャネルMISトランジスタ84、77はオフする。

入力端子Eの電位をV_Aに立ち上げ、端子B₁の電位を立ち下げるとき、信号線Fが0V、ゲート87がV_Aとなってバイポーラトランジスタ83がオフしたまま、NチャネルMISトランジスタ84がオンして出力端子Gは0Vとなる。このとき、バイポーラトランジスタ83のベース76は、NチャネルMISトランジスタ77を通して接地されるため、該バイポーラトランジスタ83の耐圧は高くなり、B₂の高電圧が加わったままの状態でもバイポーラトランジスタ83が破壊される恐れは少ないと想定される。以上述べたように本実施例によれば、入力と同様の高出力レベルの信号を発生することが可能になる。

なお、出力端子Gの電位を引き下げるための回路86としては、必要に応じて第9図の回路を用いてもよい。第9図の回路とNチャネルMISトランジスタ84とを並列に用いてもよい。また、電源電圧の変動などによってバイポーラトランジスタ83が一時的に深く飽和する恐れのある場合

は、第6図で示したように、 B_1 と B_2 の間に、ダイオードを接続して、 B_1 の電位が B_2 に対して異常に上昇することを防止すればよい。

第10図は、本発明の第4の実施例を示す半導体装置の構成図である。

第7図と第10図の回路上の最も大きな相違点は、第7図ではバイポーラトランジスタ83のコレクタとベースとが電気的に分離されているのに對し、第10図では、バイポーラトランジスタ104のコレクタとベースとの間にNチャネルMISトランジスタ103を挿入して B_2 よりベース電流とコレクタ電流を供給している点である。

以下、本実施例の動作を説明する。なお、所望の出力レベルを $V_A + V_\alpha$ とし、端子 B_2 には、 $V_A + V_\alpha + V_{BE}$ の電圧が与えられているものとする。ここで V_{BE} は、バイポーラトランジスタ104のベース・エミッタ間順方向電圧とする。端子 B_1 が0Vの状態で入力端子Eの電位を V_A から0Vへ立ち下げるとき、第7図の場合と同様にして、NチャネルMISトランジスタ103のゲー

トは、 V_A よりNチャネルMISトランジスタ102のしきい電圧を差し引いた電位まで充電される。このとき、NチャネルMISトランジスタ105, 108は、オフしているため、端子 B_2 よりバイポーラトランジスタ104のベースに電流が流れ、バイポーラトランジスタ104がオンし、出力端子Gへ電流が流れ端子Gの電位は上昇する。バイポーラトランジスタ104のベース電位は、NチャネルMISトランジスタ102, 103のしきい電圧を、各々 V_{T102} , V_{T103} とすると、 $V_A - V_{T102} - V_{T103}$ までしか上昇せず、出力Gの電位はさらに V_{BE} 落ちるので、このままでは V_A 以上の出力レベルを得ることができない。そこで、ゲート112が充電された状態で、端子 B_1 にパルス電圧を印加して、容量100によって、ゲート112の電位を $V_A + V_\alpha + V_{BE} + V_{T103}$ 以上に昇圧する。その結果、バイポーラトランジスタ104のベース電位は、 $V_A + V_\alpha + V_{BE}$ まで上昇して、出力端子Gの電位は所望の出力レベル $V_A + V_\alpha$

まで達する。本実施例では、バイポーラトランジスタ104のベース電位は、端子 B_2 と等しいレベルまでしか上がらないので、端子 B_2 の電位が、何らかの原因で下がったとしてもバイポーラトランジスタ104が飽和することはない。次に、入力端子Eの電位を0Vから V_A に立ち上げると、信号線Fが0Vとなり、NチャネルMISトランジスタ103と、107がオフし、PチャネルMISトランジスタ106がオン、NチャネルMISトランジスタ105がオンするため、バイポーラトランジスタ104がオフ、NチャネルMISトランジスタ108がオンして出力端子Gの電位は0Vとなる。なお、本実施例においても、必要に応じて出力端子Gを立ち下げる回路113を、第11図の構成としてもよく、また、第11図の回路を、第10図のNチャネルMISトランジスタ108を並列に接続してもよいことは第7図の実施例の場合と同じである。また、上記の説明においては、端子 B_2 の電位を $V_A + V_\alpha + V_{BE}$ の一定レベルとしたが、ゲート112が充電され

た後に、端子 B_2 に0Vから $V_A + V_\alpha + V_{BE}$ に達するパルス電圧を与えてよい。このとき、ゲート112の電位はNチャネルMISトランジスタ103のゲート112と端子 B_2 の間の自己容量で昇圧されるため、容量100、端子 B_1 は必ずしも必要としない。

このように、本実施例では、バイポーラトランジスタとMISトランジスタを含む回路において、動作の基準となる電圧を該回路を制御する前段回路が基準とする電圧とは異なる値に設定することによって、バイポーラトランジスタの高駆動能力を最大限に活用した上で、前段回路の基準電圧以上の高い出力振幅を持つ半導体装置が実現できる。

ところで、これまで説明してきた実施例では、端子 B_1 にパルス電圧を印加する必要がある。パルス電圧を発生する回路は多種あり、その回路構成もよく知られているため、ここでは明示しないが、例えば、第9図の電圧波形に示したようなパルス電圧を発生する回路としては、石原、宮沢、酒井共著「サイクル時間50nsのスタチック・

コラム・モード付き 256K CMOS ダイナミック RAM」、日経エレクトロニクス、1985年2月11日号、PP243~263の図7に示された回路がある。また、これまで示した実施例において、PチャネルMISトランジスタ（例えば、第3回の25）のソースが高電位となるものがあるが、PチャネルMISトランジスタのウェルの電位をソースの電位より高く保ち、ソース、ウェル間に過大な順方向電流の流れ、いわゆるラッチアップが起こることを防ぐ必要があることはいうまでもない。さらに、以上の実施例においては、NチャネルMISトランジスタのドレイン、ソース間に高い電圧のかかるもの（例えば、第3回の29）があるが、耐圧の点から問題がある場合には、該NチャネルMISトランジスタのドレインと、ドレインが接続されている端子の間に、ゲートの電位をV_AとしたNチャネルMISトランジスタを直列に挿入することにより上記した耐圧の点で問題のあるNチャネルMISトランジスタのドレイン・ソース間にかかる電圧を低減すればよい。

このメモリセルアレーMCAには、1本のワード線WLとJ本のデータ線DLが交差配列され、ワード線とデータ線の交点のうちN個にメモリセルMCが配置されている。アドレスバッファ回路ABX, ABYには各々アドレス入力X₀~X_n, Y₀~Y_mが印加され、その出力が、デコーダ・ドライバ回路XD, YDに伝達される。これらのデコーダ・ドライバ回路XD, YDのうち回路XDによりワード線が、回路YDにより書き込み・読み出し回路RCがそれぞれ駆動され、メモリセルアレーMCA内の選択されたメモリセルMCへの情報の書き込み、あるいは該メモリセルMCからの情報の読み出しを行う。CCは書き込み・読み出し制御回路で、この回路CCは、チップセレクト信号CS、書き込み動作制御信号WE、入力信号DIによって前記アドレスバッファ回路ABX, ABY, デコーダ・ドライバ回路XD, YD, 書き込み・読み出し回路RC、出力回路OCを制御する。出力回路OCは、書き込み・読み出し回路RCにより読み出された情報を外部へ出力する。

い。

本発明には種々の用途が考えられるが、特にダイナミック型半導体記憶装置のワードドライバとして好適である。何故なら、高速のダイナミック型半導体記憶装置を実現するためには、選択されたワード線を高速かつ高振幅に駆動し、信号電圧を大きくしてS/Nを高め、さらに蓄積電荷を大きくしてソフトエラー耐性を高めることが必要なためである。以上の事情については、ITO, K. and SUNAMI, H. 「ハイデンシティ・ワンデバイス・ダイナミックモス・メモリセルズ」 'High density one-device dynamic MOS memory cells', IEE PROC., vol. 130, Pt. I, No. 3, JUNE 1983, pp 127~135に詳しく述べがある。

次に、ダイナミック型半導体記憶装置のワードドライバに、本発明を応用した場合の一例を示す。

第12図はダイナミック型半導体メモリのブロック図であり、NビットのメモリセルアレーMCAと周辺回路群が示されている。

ための回路である。

上記の構成において、本実施例の回路をデコーダ・ドライバ回路XDに適用することにより、ワード線WLのレベルを高速かつ高振幅に駆動させることができになり、高速で安定度の高いダイナミックメモリが実現できる。

なお、第12図において、書き込み・読み出し回路RCは、その一部を、デコーダ・ドライバ回路YDと反対側のメモリセルアレーMCAの端に配置して、デコーダ・ドライバ回路YDからの制御信号をメモリセルアレーMCAの上を通して制御することもできる。また、第12図においては、X系のアドレス入力X₀~X_nと、Y系のアドレス入力Y₀~Y_mとを別々の入力端子より入力しているが、例えば、1977 ISSCC「ダイジエスト・オブ・テクニカル・ペーパーズ」 "Digest of Technical Papers" P. 12~13に述べられているように、これらの入力端子を共用とし、時間差を設けて入力する方式、いわゆる「アドレスマルチプレックス方式」を採用することも

できる。

その場合には、アドレスの取り込みを制御する信号、いわゆるRAS, CASをチップセレクト信号CSの代わりに用いて上記書き込み・読み出し制御回路を駆動すればよい。

第13図は、第12図をさらに具体化した実施例図であり、メモリセルアレーMCAとデコーダ・ドライバ回路XDの一部をさらに詳しく示したものである。

第13図においてDEC₀, DEC₁はデコーダ、WD₀, WD₁はワードドライバで、WL₀, WL₁はワード線、DL₀, DL₁は対をなすデータ線、MC₀, MC₁はメモリセルである。なお、EQはデータ線を電位的に平衡にするためのイコライザー、SAはセンスアンプである。

イコライザーEQならびにセンスアンプSAの回路構成については、1984 ISSCC「ダイジェスト・オブ・テクニカル・ペーパーズ」"Digest of Technical Papers", P.276~277などに詳しいので、ここでは省略する。なお、

でプリチャージ信号 ϕ_P を0VとしてNチャネルMISトランジスタ148, 164のゲートを各々 V_A より、NチャネルMISトランジスタ145, 163のしきい電圧を差し引いた電圧にプリチャージする。ここでは、2つのワードドライバのみ示したが、実際はすべてのワードドライバについて同時にプリチャージを行う。次に、プリチャージ信号 ϕ_P を立ち上げた後、アドレスバッファ出力の肯定、否定のいずれか一方が立ち上り、それに応じてデコーダDEC中のNチャネルMISトランジスタの一部がオンして上記プリチャージされたMISトランジスタのゲートのうち選択するワード線に接続されたワードドライバ以外の非選択ワードドライバのゲートは0Vとなる。ここでは、ワード線WL₀が選択される場合を示しており、NチャネルMISトランジスタ148のゲートはプリチャードされたままである。一方、NチャネルMISトランジスタ164のゲートは非選択であるから0Vになる。また、DEC₁の出力は0Vとなるので、非選択ワード線WL₁は、ワードドライバ

デコーダDEC₀, DEC₁は、各々端子130, 137に印加される電圧 V_A を基準として動作し、本発明を応用したワードドライバWD₀, WD₁は、各々端子154, 157に印加されるパルス電圧 ϕ_X 、端子155, 158に印加される電圧 V_H 、端子156, 159に印加されるパルス電圧 ϕ_L を基準として動作する。ここで、電圧 V_H を、バイポーラトランジスタ150等を飽和させない電位とすることは首肯でもない。

ワードドライバWD₀, WD₁の回路構成は、NチャネルMISトランジスタ151, 165と並列にNチャネルMISトランジスタ152, 166を設置したことを除けば、第7図の回路Dと同じである。以下、第14図の電圧波形を用いて、第13図における読み出し動作を説明する。

読み出し動作を始めるにあたり、データ線対DL₀, DL₁を、イコライザーEQによって約1/2 V_A の等しい電位とした後、フローティング状態とする。一方、全てのアドレスバッファ出力AX₀, AX₁…AX_Rを全て0Vとした状態

WD₁中のNチャネルMISトランジスタ165がオンして0Vに固定される。次に、ワードランチ信号 ϕ_L を立ち下げ、信号 ϕ_X を0Vから $V_A + V_A + V_B$ へ立ち上げると、WD₀中のNチャネルMISトランジスタ148のゲートはプリチャージされているため昇圧され、第7図の回路動作と同様にしてワード線WL₀の電位は、 $V_A + V_B$ に立ち上がる。一方、WD₁中のNチャネルMISトランジスタ164のゲートは0Vであるため昇圧されず、該NチャネルMISトランジスタ164はオフしており、ワード線WL₁の電位は0Vのままである。選択されたワード線WL₀の電位が立ち上ると、メモリセルMC₀中のNチャネルMISトランジスタ160がオンし、メモリセルMC₀よりデータ線DL₀へ信号が読み出され、データ線DL₁と、対をなすデータ線DL₀との間に微小な電位差を生ずる。

上記データ線間の電位差は、センスアンプSAにより増幅され、メモリセルに情報の再書き込みがなされるとともに後段回路へ伝達される。次

に、パルス信号 ϕ_x を $0V$ に立ち下げ、ラッチ信号 ϕ_L を立ち上げてワード線 W_L を $0V$ に立ち下げてからイコライザ-EQによりデータ線対を約 $1/2V_A$ の等電位にする一方、アドレスパック出力を全て立ち下げてからプリチャージ信号 ϕ_P を $0V$ に立ち下げてプリチャージを行い、次の動作に備える。上記読み出し動作において、ワードドライバ WD_0, WD_1, \dots に、本実施例の回路を適用しているため、選択されたワード線の電位を高速に、かつ高振幅に立ち上げることができる。その結果、信号電圧ならびにメモリセルの蓄積電圧を大きくすることができ、高速性と高信頼性が両立できる。なお、第13図において、パルス信号 ϕ_x を発生する回路としては、先に参照した日経エレクトロニクス誌に掲載された回路を用いてもよいし、さらに高速とするには、例えば第6図の実施例を用いてもよい。また、第13図では、ワードドライバ毎にデコーダを設け、パルス信号 ϕ_x を全てのワードドライバに共通に印加したが、必要に応じて複数のワードドライバに

共通に1つのデコーダを設け、デコーダを共有するワードドライバのうち1つだけのパルス信号をデコードして印加するなど、種々の変形が可能なことは勿論である。

また、ここではデータ線のプリチャージ電圧を $V_A/2$ とする例を示したが、これに限定されることなく、 $0 \sim V_A$ の範囲で任意に設定することが可能である。

なお、上記読み出し動作においては、非選択ワードドライバ中のバイポーラトランジスタ、例えば、 WD_1 中の168のベースは、信号 ϕ_x が $0V$ のときは ϕ_x によって、また、信号 ϕ_x が立ち上がるときには上記バイポーラトランジスタのベースと V_{AS} との間に挿入されたMISトランジスタ、例えば WD_1 中の167によって $0V$ に保たれる。したがって、上記バイポーラトランジスタの耐圧は、前述したように $BV_{CE(S)}$ で決まるためコレクタを高電圧 V_H のままでしても問題ない。

ところで、第13図の構成では、電圧 V_A を供給する電源と電圧 V_H を供給する電源の2つの正

電源を必要とする。これらの電源をチップ外部から別々に供給することは勿論可能であるが、いずれか一方のみを外部から供給し、他方はこれを基準にしてチップ内部で発生して供給したり、あるいはいずれもチップ内部で、他の電源を基準にして発生することも可能である。したがって、第13図または前述の実施例のうち、2つの正電源を必要とするものを1つの外部正電源のもとで、例えば2つの電圧のうち、高い方は外部正電源より直接供給し、低い方は、外部正電源の電圧を特願昭56-168698号、特願昭57-220083号明細書などに示されているような電圧リミッタ回路により低くして供給することも可能である。また、場合によっては、必要とする2電源のうち、低い方は外部正電源より供給して、高い方は、外部正電源の電圧を昇圧する回路によって高くして供給してもよい。

第15図は、本発明に用いる昇圧回路の一実施例図である。

この回路では、電圧 V_A は外部正電源より供給

して、高電圧 V_H を発生させる。第15図の回路は、基本的にはいわゆるチャージポンプ型の昇圧回路 CP_1 と CP_2 を並列に並べたものである。チャージポンプ型の昇圧回路の動作原理は、よく知られているのでここでは省略する。ここで、ジェナーダイオード192は、端子194の電圧が所望のレベル V_H より上がり過ぎた場合に電流をリーグさせ、それ以上の電位上昇を防止するためのものであるが、必要のない場合は除去してもよい。また、ジェナーダイオード192の替りに、通常のダイオードやMISトランジスタのゲートとドレインを接続したMISダイオード回路を順方向に複数個接続したものを用いてもよい。また、 CP_1, CP_2 として、MIS容量とMISトランジスタで構成したダイオードを3段接続した例を示したが、一般的に段数を n 、MISトランジスタのしきい電圧を V_T 、 $\phi_{S1} \sim \phi_{S3}, \phi_{T1} \sim \phi_{T3}$ のパルス振幅を V_A とすると、得られる電圧は約 $(n+1)(V_A - V_T)$ となり、必要とする V_H の値に応じて n の値を選べばよい。

この回路を第13図に適用した場合、第15図の端子194より供給しなくてはならない電流は、ワード線が選択されるときに大きくなる。したがって、ダイナミック型半導体メモリのアクティブな期間には、大きな供給電流を得るためにCP1とCP2の両方を動作させ、スタンバイの期間には、CP1のみを動作させることも可能である。これによって、低い消費電力で大きな出力電流を得ることができる。

第16図は、第15図のCP1, CP2へ印加するパルスの電圧波形の一例図である。

図においては、 t_{st} 、すなわちスタンバイの期間にはCP1のみが動作し、 t_{op} 、すなわちアクティブする期間にはCP1とCP2の両方が動作する例を示している。CP2の起動時刻をワード線を選択する時刻と同期させるには、例えば、チップセレクト信号CSやRAS信号を利用すればよい。また、いわゆるページモードのように、一本のワード線上のメモリセルの情報を連続して読み出すような動作をさせる場合には、選択したワード線の電位を長時間高電位に保つ必要がある。この場合には、ワード線電位が高レベルに達した後も、CAS信号などを利用してCP2を活性化してもよいことは勿論である。

なお、ここではチャージポンプ回路を2つ用いた例を示したが、必要に応じて1個にしたり、あるいはさらに多くの回路を用いてもよいことは勿論である。また、ワード線の電位の立ち上げを非常に高速に行うと、一時的に、第15図の端子194の電位が低下することがある。その場合には、端子194がコレクタに接続されたバイポーラトランジスタの飽和を防止するため、端子194の容量を大きくして、電位の低下を小さくする必要がある。そのためには、 V_H を供給するためのバイポーラトランジスタのコレクタを、全て端子194に接続することによって、バイポーラトランジスタのコレクタ容量により端子194の寄生容量を増加させることもできる。また、ここでは、 ϕ_{s1} と ϕ_{s3} および ϕ_{t1} と ϕ_{t3} はそれぞれ別信号として示したが、場合によっては同一信号

で駆動することもできる。

なお、電源電圧の変動により一時的にバイポーラトランジスタが飽和する可能性のある場合には、パルス信号 ϕ_x を発生する回路の出力端子と、第15図の V_H 端子194との間に、前にも述べたようにダイオードを接続して V_H に対して ϕ_x の電位が高いときにそのダイオードがオンするようにして飽和を防止すればよい。

〔発明の効果〕

以上説明したように、本発明によれば、バイポーラトランジスタとMISトランジスタを含む回路において、動作の基準となる電圧を、上記回路を制御する前段回路が基準として動作する電圧とは異なる値にするので、バイポーラトランジスタの高駆動能力を十分に活用とともに、所望の大きな出力レベルを得ることができる。

4. 図面の簡単な説明

第1図は本発明の基本構成を示す半導体装置の概略構成図、第2図は第1図の前段回路の具体例を示す図、第3図は本発明の第1の実施例を示す

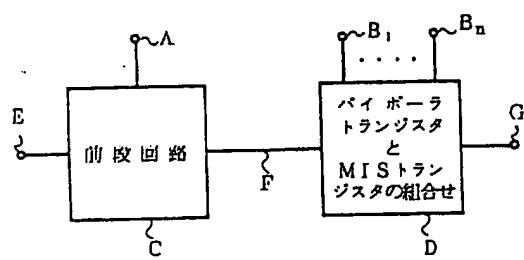
半導体装置の構成図、第4図は第3図の電圧波形図、第5図は第3図の回路30の構成例図、第6図は本発明の第2の実施例を示す半導体装置の構成図、第7図は本発明の第2の実施例を示す半導体装置の構成図、第8図は第7図の電圧波形を示す図、第9図は第7図の回路86の構成例図、第10図は本発明の第4の実施例を示す半導体装置の構成図、第11図は第10図は回路113の構成例図、第12図は本発明が適用されるダイナミック型半導体装置の構成例図、第13図は本発明をワードドライバに適用した場合の一構成例図、第14図は第13図の電圧波形を示す図、第15図は本発明に用いるチャージポンプ型昇圧回路、第16図は第15図の電圧波形を示す図、第17図は第1の従来例図、第18図は第2の従来例図である。

A : 回路Cの動作の基準となる電圧を印加する端子、 $B_1 \sim B_n$: 回路Dの動作の基準となる電圧を印加する端子、C : 回路Dを制御する回路、D : MISトランジスタとバイポーラトランジス

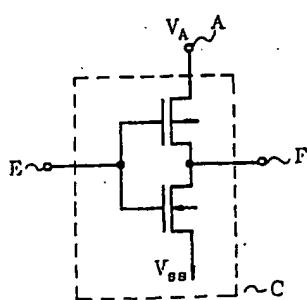
タを含む回路、E：入力端子、F：信号線、G：
P2活性パルス。
出力端子、VA：回路Cの動作の基準となる電圧。
30, 86, 113：出力端子Gの電位を立ち下
げる回路、X₀～X_n：Xアドレス、Y₀～Y_m：
Yアドレス、MCA：メモリセルアレー、MC,
MC₀, MC₁：メモリセル、DL, DL₀, D
L₁：データ線、WL, WL₀, WL₁：ワード
線、ABX, ABY：アドレスバッファ回路、X
D, YD：デコーダ、ドライバ回路、RC：書き
込み・読み出し回路、CC：書き込み・読み出し
制御回路、OC：出力回路、DO：出力、CS：
チップセレクト信号、WE：書き込み動作制御信
号、DI：入力、AX₀, AX_R, AX₀：アド
レスバッファ出力、DEC₀, DEC₁：デコー
ダ、WD₀, WD₁：ワードドライバ、SA：セ
ンスアンプ、EQ：イコライザー、φ_P：プリチャ
ージ信号、φ_L：ラッチ信号、φ_X：パルス信号、
CP₁, CP₂：チャージポンプ回路、192：
シェナーダイオード、φ_{S1}, φ_{S2}, φ_{S3}：
CP₁活性パルス、φ_{T1}, φ_{T2}, φ_{T3}：C

特許出願人 株式会社 日立製作所
代理人 井理士 碓村雅俊

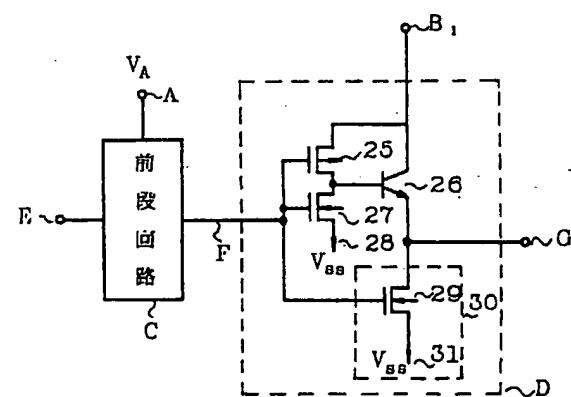
第1図



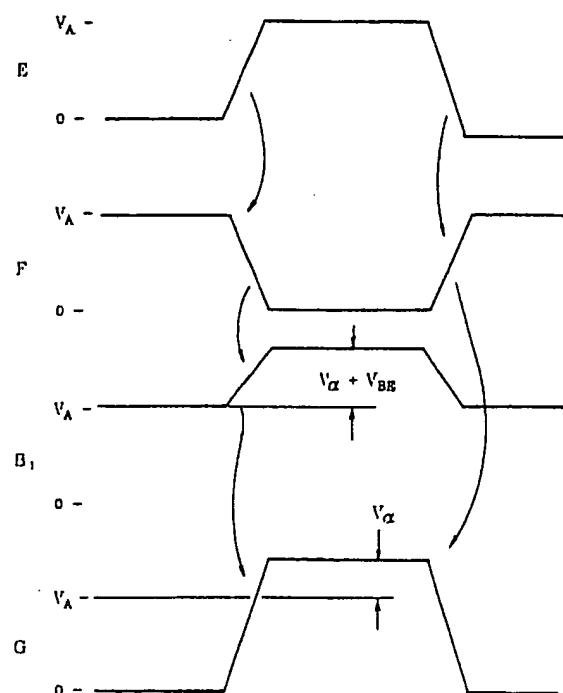
第2図



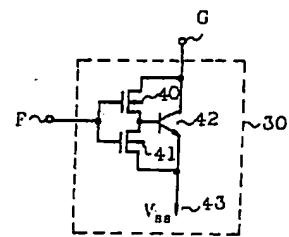
第3図



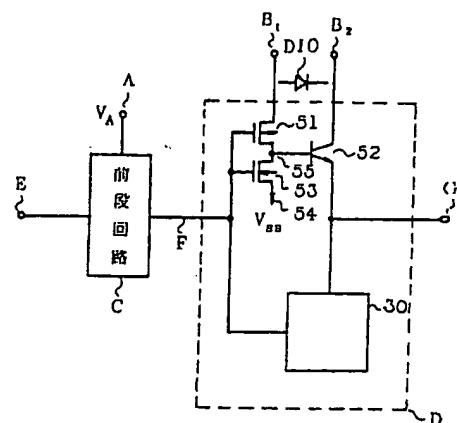
第 4 図



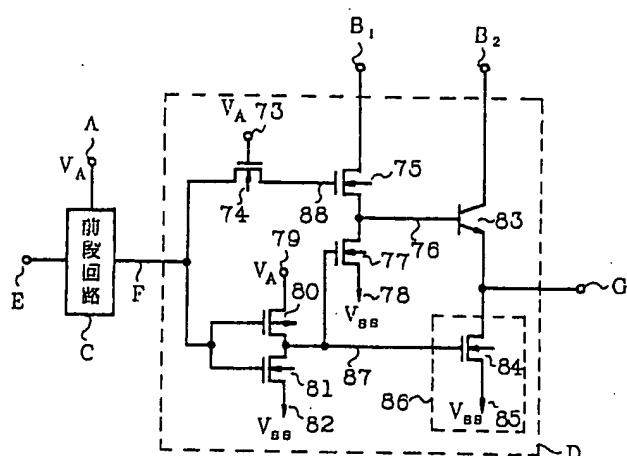
第 5 図



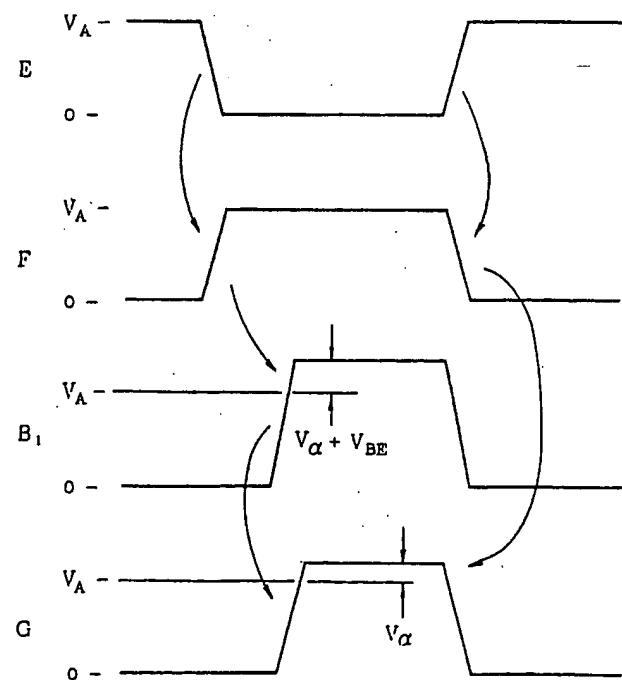
第 6 図



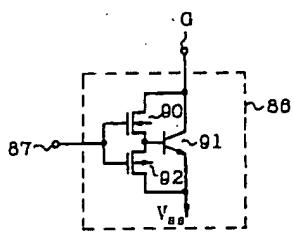
第 7 図



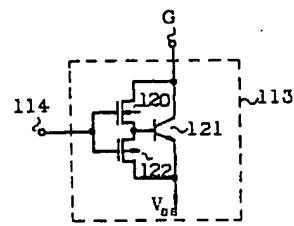
第 8 図



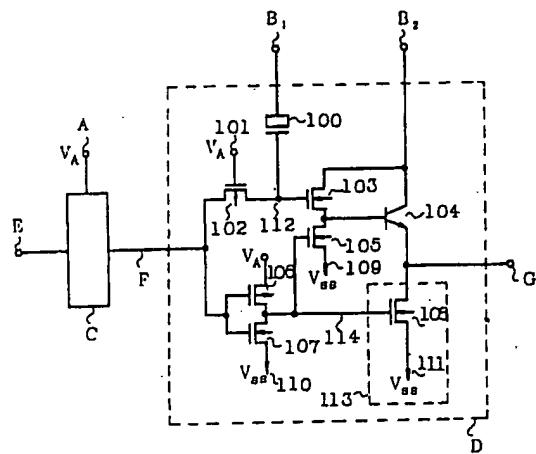
第 9 図



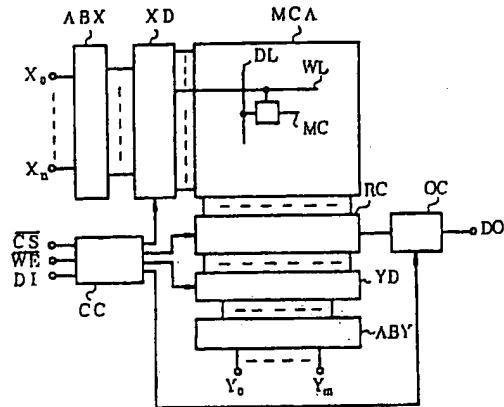
第 11 図



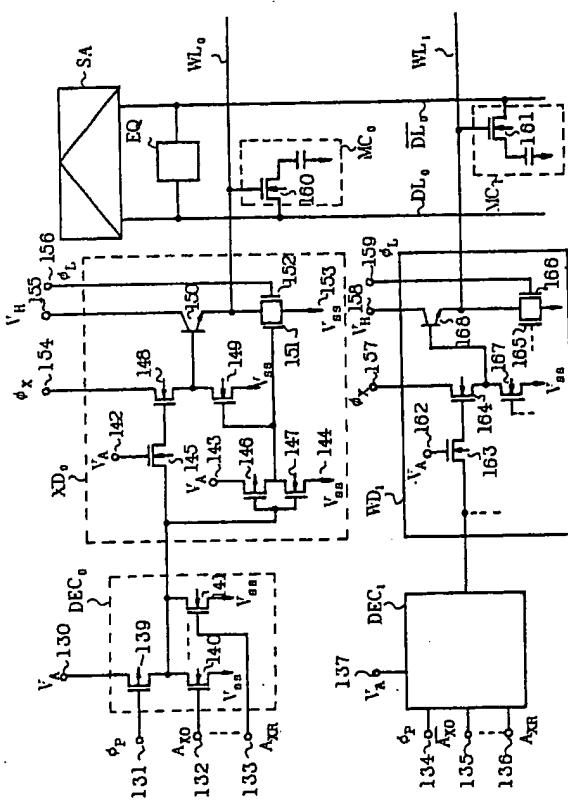
第 10 図



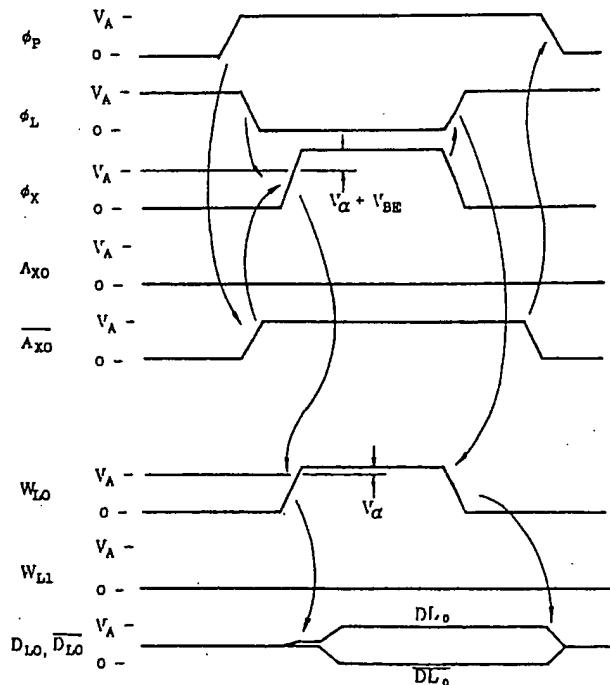
第 12 図



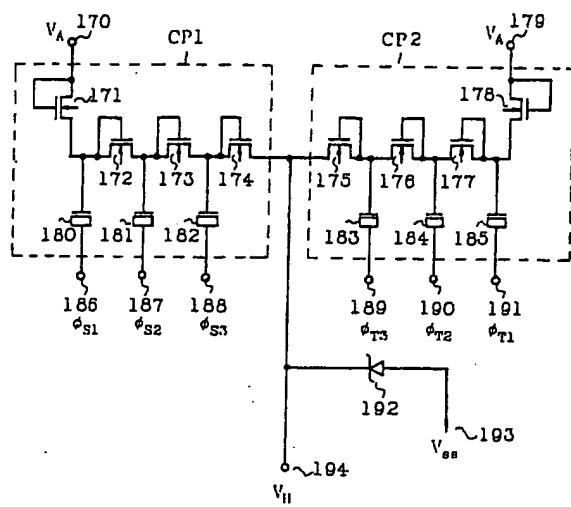
第 13 図



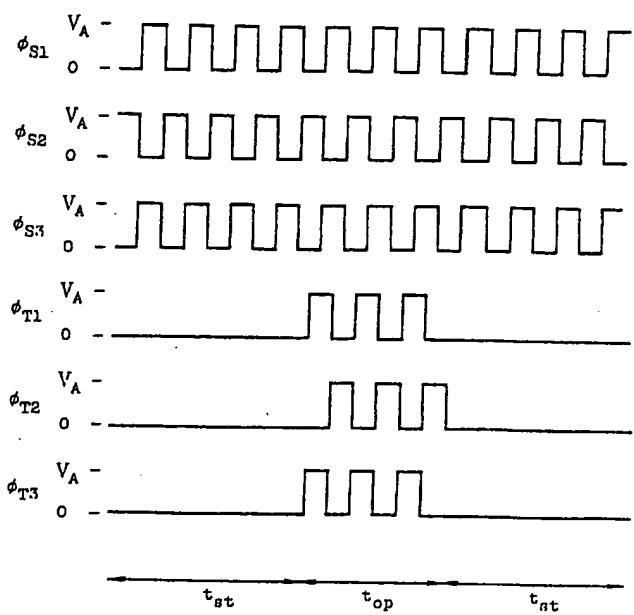
第 14 図



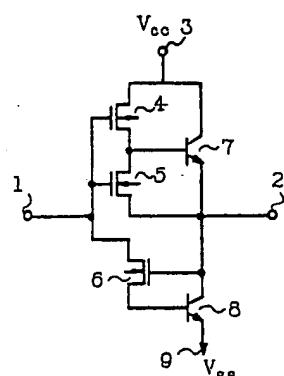
第 15 図



第 16 図



第 17 図



第 18 図

